

524,294

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 2 月 26 日 (26.02.2004)

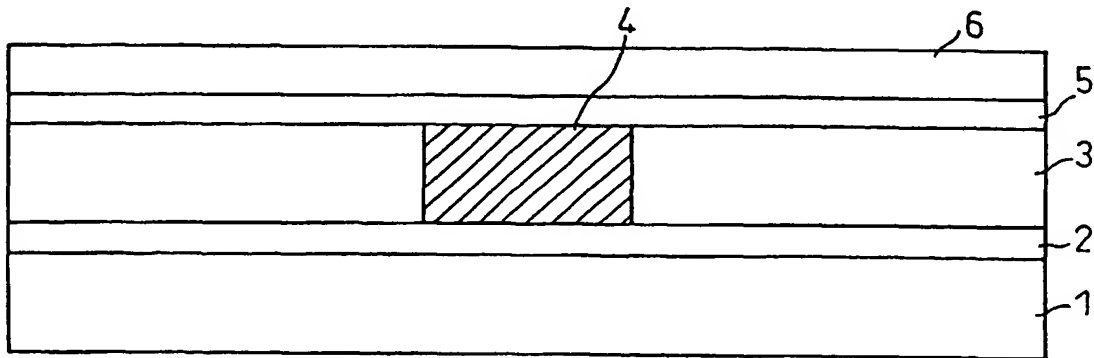
PCT

(10) 国際公開番号
WO 2004/017455 A1

- (51) 国際特許分類⁷: H01P 3/16, 11/00
- (21) 国際出願番号: PCT/JP2003/010316
- (22) 国際出願日: 2003 年 8 月 13 日 (13.08.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-236351 2002 年 8 月 14 日 (14.08.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒107-8481 東京都港区赤坂五丁目3番6号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 湯浅 光博 (YUASA, Mitsuhiro) [JP/JP]; 〒107-8481 東京都港区赤坂五丁目3番6号 東京エレクトロン株式会社内 Tokyo (JP).
- (74) 代理人: 青木 篤, 外 (AOKI, Atsushi et al.); 〒105-8423 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所 Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: METHOD FOR MANUFACTURING NONRADIATIVE DIELECTRIC WAVEGUIDE AND NONRADIATIVE DIELECTRIC WAVEGUIDE

(54) 発明の名称: 非放射性誘電体線路の製造方法及び非放射性誘電体線路



(57) Abstract: A conductive film is formed on a substrate wherein a MEMS circuit has been manufactured; a dielectric A film having a low dielectric constant and a dielectric B film having a high dielectric constant are formed on the conductive film; and a conductive film is formed on the dielectric films. A millimeter wave is guided by the dielectric B film functioning as a dielectric waveguide and propagated as being reflected by the conductor.

(57) 要約: MEMS 回路を組み込んだ基板上に導体膜を形成し、その上に誘電率の低い誘電体 A 膜と誘電率の高い誘電体 B 膜を形成し、その上に導体膜を形成する。ミリ波は、誘電体線路である誘電体 B 膜によってガイドされ、導体に反射しながら伝搬する。

WO 2004/017455 A1

明 細 書

非放射性誘電体線路の製造方法及び非放射性誘電体線路

技術分野

本発明は、ミリ波ないしサブミリ波を伝送する伝送線路の製造方法及び伝送線路に関し、特に非放射性誘電体線路の製造方法及び非放射性誘電体線路に関する。

発明の背景

近年の情報通信技術の著しい進展の中で、高速で大容量の情報を伝送する伝送手段が求められており、ミリ波ないしサブミリ波を利用する技術が、例えば無線ブロードバンド・ネットワーク用として期待されている。そして、ミリ波関連技術として、非放射性誘電体線路及び高周波応用MEMS（Micro Electro Mechanical System）が注目されている。

非放射性誘電体線路（Nonradiative Dielectric Waveguide：以下、「NRDガイド」という。）は、低損失である誘電体線路であっても、線路の曲りや不連続部分で放射が発生するという欠点を解決するために提案されたもので、誘電体線路の低損失性を保持しながら不要放射を抑えた、ミリ波ないしサブミリ波に適した伝送線路である。

また、高周波応用MEMSはMEMSないしマイクロマシン技術を利用し、基板上に抵抗、コンデンサ、コイル、スイッチ等を微細加工で形成してフィルタ等の各種高周波用回路を形成したもので、個々の素子の特性もよく実装上の利点も多い回路ないしデバイスである。

しかしながら、従来のNRDガイドは、伝送線路となる誘電体ガイド及びこの誘電体ガイドを挟む金属板を個々に組み合わせて製造されており、高周波応用MEMS回路と組み合わせるには不向きな面があった。

発明の概要

本発明は、前記問題点に鑑み、半導体プロセスを利用してNRDガイドを基板上に形成する非放射性感電体線路の製造方法及び該製造方法で製造された非放射性感電体線路を提供することを目的とする。

本発明によると、上記目的を達成するために、基板上に導体膜を形成し、導体膜上に第1の誘電体膜を形成し、第1の誘電体膜を貫通する伝送線路のための溝を形成して、この溝に第1の誘電体膜の誘電率より大きな誘電率を有する第2の誘電体を埋め込み、その上に導体膜を形成して、非放射性感電体線路を製造する。

また、本発明によると、上記製造工程のうち、第1の誘電体膜に第2の誘電体を埋め込むステップに代えて、まず導体膜上に第1の誘電体膜の誘電率より大きな誘電率を有する第2の誘電体膜を形成して、第2の誘電体膜が伝送線路となるようにエッチングして後、このエッチングした部分に第1の誘電体を埋め込むステップを採用してもよい。

さらに、本発明は、基板上の導体膜に第1の犠牲層を形成し、第1の犠牲層を貫通する溝を形成して誘電体を埋め込んで伝送線路とし、その上に第2の犠牲層を形成し、該第2の犠牲層を複数の個所を残してエッチングして、このエッチング部分に導体膜を形成した後、犠牲層を除去して、非放射性感電体線路を製造する。

さらに、本発明によると、基板上に第1の誘電体膜を形成し、第

1 の誘電体膜を貫通しない深さの伝送線路のための溝を形成して、この溝に前記第 1 の誘電体膜の誘電率より大きな誘電率を有する第 2 の誘電体を埋め込み、さらにその上に第 1 の誘電体膜を形成した後、基板に達する 2 つの溝を、前記第 2 の誘電体の両端を切り落とすように形成して、2 つの溝に導体を埋め込んで、非放射性感電体線路を製造する。

本発明の基板には、MEMS 回路が組み込まれていてもよい。

また、本発明の非放射性感電体線路は、基板上に形成された第 1 の導体膜と、その上の第 1 の誘電体膜及び第 1 の誘電体膜に囲まれた第 1 の誘電体の誘電率より大きな誘電率の第 2 の誘電体膜と、その上の第 2 の導体膜とを備える。

さらに、本発明の非放射性感電体線路は、基板上に垂直に形成された一対の導体と、導体間に形成された一対の第 1 の誘電体膜と、第 1 の誘電体膜に挟まれた第 1 の誘電体の誘電率より大きな誘電率を有する第 2 の誘電体膜とを備える。

本発明の非放射性感電体線路の製造方法によれば、半導体プロセスを利用してNRDガイドを製造することができ、MEMS 回路と組み合わせることが容易になり、幅広い応用に供することができる。

本発明によれば、MEMS デバイスと組み合わせて利用することが容易なNRDガイドを製造することができる。

また、従来のNRDガイドの空気層を誘電体に代えて構成した構造をもつものにあつては、半導体プロセスを利用して容易に製造ができ、製品も堅固なものとなる。

さらに、NRDガイドの誘電体の厚みを精度よく製造できる製造プロセスも提供できる。

図面の簡単な説明

図 1 は、第 1 実施形態の第 1 の導体成膜工程を示す図である。

図 2 は、第 1 実施形態の第 1 の誘電体 A 成膜工程を示す図である

。

図 3 は、第 1 実施形態の第 1 の誘電体 A 膜のエッチング工程を示す図である。

図 4 は、第 1 実施形態の第 2 の誘電体 B 膜を埋め込み平坦化する工程を示す図である。

図 5 は、第 1 実施形態の第 2 の導体成膜工程を示す図である。

図 6 は、第 1 実施形態のパッシベーション成膜工程を示す図である。

図 7 は、第 2 実施形態の第 2 の誘電体 B 成膜工程を示す図である

。

図 8 は、第 2 実施形態の第 2 の誘電体 B 膜のエッチング工程を示す図である。

図 9 は、第 2 実施形態の第 1 の誘電体 A 膜を埋め込み平坦化する工程を示す図である。

図 10 は、第 3 実施形態の犠牲層成膜工程を示す図である。

図 11 は、第 3 実施形態の犠牲層のエッチング工程を示す図である。

図 12 は、第 3 実施形態の誘電体 B を埋め込み平坦化する工程を示す図である。

図 13 は、第 3 実施形態の犠牲層成膜工程を示す図である。

図 14 は、第 3 実施形態の犠牲層のエッチング工程を示す図である。

図 15 は、第 3 実施形態の導体成膜及び平坦化の工程を示す図である。

図 1 6 は、第 3 実施形態の犠牲層のエッチング工程を示す図である。

図 1 7 は、第 4 実施形態の第 1 の誘電体 A 成膜工程を示す図である。

図 1 8 は、第 4 実施形態の第 1 の誘電体 A 膜のエッチング工程を示す図である。

図 1 9 は、第 4 実施形態の第 2 の誘電体 B 膜を成膜し平坦化する工程を示す図である。

図 2 0 は、第 4 実施形態の第 1 の誘電体 A 成膜工程を示す図である。

図 2 1 は、第 4 実施形態の自己整合エッチング工程を示す図である。

図 2 2 は、第 4 実施形態の導体を埋め込んで平坦化する工程を示す図である。

図 2 3 は、第 4 実施形態のパッシベーション膜の成膜工程を示す図である。

図 2 4 は、NRDガイドを説明する概略断面図である。

発明の詳細な説明

まず、NRDガイドについて説明する。

図 2 4 は、NRDガイドを説明するための概念的な断面図である。NRDガイドは、誘電体 D を金属等の導体板 M で挟んで構成される。この導体板 M の間隔 d を伝送すべき例えばミリ波の半波長以下に狭くすると、空気領域では遮断状態となりミリ波は存在できない。しかし、誘電体 D 内では波長が短縮するため、遮断状態が解除される。したがって、誘電体 D をミリ波の伝送線路とすれば、伝送すべきミリ波が周囲空間に放射することはなく、低損失で不要放射の

ない誘電体線路が実現できる。なお、伝送される波は誘電体D表面を伝わる表面波であって、導体板Mで反射しながら伝搬するものである。

ミリ波の波長を λ 、導体板Mの間隔を d 、誘電体Dの比誘電率 ϵ_r とし、金属板の間隔 d が、

$$d < \lambda / 2$$

となる場合は、ミリ波は空气中を伝搬できないが、誘電体D中で、

$$d > \lambda / (2 \sqrt{\epsilon_r})$$

となれば、比誘電率 ϵ_r の誘電体D中を伝搬可能となり、波長 λ のミリ波に対するNRDガイドが構成される。

たとえば、波長2mmのミリ波を考え、誘電体Dの比誘電率 ϵ_r を100とし、導体板Mの間隔 $d = 0.5\text{mm}$ とすると、

$$\text{空气中では、} 2 / 2 = 1 > d$$

$$\text{誘電体中では、} 2 / (2 \cdot 10) = 0.1 < d$$

となり、波長2mmのミリ波は比誘電率100の誘電体Dを伝送路として不要放射なく伝送されることになる。

以下、図面を参照して、本発明のNRDガイドの製造方法を説明する。

図1～図6に、本発明の第1の実施形態の製造方法を示す。

図1は、基板1上に銅、アルミニウムなどの金属からなる導体膜2を成膜する工程を示す図である。本例では、基板1は、シリコンウェハに、抵抗、コンデンサ、コイル、スイッチング素子等の回路素子を組み合わせてなるMEMS回路を組み込んだものである。しかし、伝送線路のみが必要であれば、基板1はMEMS回路を有さないシリコンウェハでよい。導体膜2は、スパッタリング、めっき等で基板1上に成膜される。成膜方法は、半導体プロセスで公知のものでよく、例えばチタン・チタンナイトライド系のバリア膜を付

着し、次いでCuのPVD (Physical Vapor Deposition) で薄膜を堆積させ、その後電界めっきを行って成膜すればよい。

図2は、導体膜2の上に誘電体Aの膜3を生成する工程を示す。誘電体Aは、SiO₂、SiOF等の比較的誘電率の低いものである。

。

図3は、誘電体A膜3のエッチング工程を示す。伝送線路が埋め込まれる溝が、誘電体A膜3を貫通して形成される。

図4は、図3のエッチング工程の後、エッチングされた溝に誘電率が誘電体Aより大きい誘電体Bを埋め込む工程である。誘電体Bは、例えばセラミックス系の誘電体材料を用いて、スピコートで埋め込んだ後CMP (Chemical Mechanical Polishing) で削り取って平坦化する。誘電体B膜4はミリ波ないしサブミリ波を伝送する伝送線路となる。

図5は、図1に示したと同様に、導体膜5を成膜する工程である。

その後、図6に示すように、パッシベーション工程により、パッシベーション膜を成膜する。このようにして、誘電体A膜3に囲まれた誘電体B膜4が導体膜2、5に挟持されて伝送路となるNRDガイドが構成される。通常のNRDガイドでは空気層となる部分が、本例では誘電体A膜3である。誘電体B膜4は誘電体A膜3の誘電率より大きな誘電率をもった材料を使用しており、誘電率の差を大きくしておけば、伝送するミリ波ないしサブミリ波のどのような波長に対しても対応することができる。

本例は、誘電体A膜3を空気層の代わりに用いているから、半導体プロセスになじみ、製造容易であり、NRDガイドとしての構造も堅固であるという特徴をもつ。

(第2の実施形態)

図 7 ～ 9 に、本発明の N R D ガイドの第 1 の実施形態の誘電体成膜工程（図 2 ～ 4）の変形例を示す。

図 7 に示すように、本例では、基板 1 上に導体膜 2 を設けた後、まず誘電体 B 膜 4 を成膜する。次いで、図 8 に示すように、伝送線路として必要な誘電体 B 膜 4 を残して、他の部分を除去する。その後、図 9 に示すように、誘電体 A を埋め込んで平坦化する。前述のように、誘電体 B の誘電率は誘電体 A の誘電率より大きなものである。

このようにしても、第 1 の実施形態の誘電体成膜工程による導体膜 2 上の誘電体 A 膜 3、誘電体 B 膜 4 と同じものが得られる（図 4 参照）。この後は、第 1 の実施形態で説明したステップと同様に、誘電体 A 膜 3、誘電体 B 膜 4 上に導体膜を成膜し、さらにその上にパッシベーション膜を形成すればよい。

（第 3 の実施形態）

図 1 0 ～ 1 6 に、本発明の製造方法の第 3 の実施形態を示す。

本例は、前述のような誘電体 A を用いることのない、従来と同様の構造をもつ N R D ガイドを得るための製造方法である。

図 1 0 に示すように、必要に応じて M E M S 回路が作り込まれた基板 1 上に、導体膜 2 を形成し、その上に例えば S i O₂ からなる犠牲層 3' を成膜する。犠牲層は最終的には除去されるものである。

次いで、図 1 1 に示すように、犠牲層 3' をエッチングし、犠牲層を貫通する溝を形成し、図 1 2 に示すように、この溝に誘電体 B を埋め込み平坦化する。

図 1 3 に示すように、犠牲層 3' 及び誘電体 B 膜 4 の上に、犠牲層 3' と同様なたとえば S i O₂ からなる犠牲層 7 を形成する。

図 1 4 に示すステップでは、犠牲層 7 を、その突起部分 7 1 を残

して、エッチングする。突起部分 7 1 は後に取り除かれて犠牲層 3' の除去のための孔となる部分である。

図 1 5 では、上記エッチング部分にたとえば Cu や Al 等の金属から成る導体膜 8 を設けて平坦化する。

その後、図 1 6 に示すように、犠牲層の突起部分 7 1 及び犠牲層 3' をエッチングする。犠牲層が SiO₂ で形成されていれば、HF 等を用いてエッチングすれば、犠牲層 7 1 からエッチングが進行し、犠牲層 3' が完全に除去されることになる。

したがって、誘電体 B 膜 4 の周囲は空気で満たされ、従来のものと同様の NRD ガイド、すなわち、伝送線路となる誘電体 B の周囲に空間があり、誘電体 B が導体 2、8 に挟持された NRD ガイドが形成される。

本例の誘電体 B と周囲の空気との誘電率の差は、第 1 及び第 2 の実施形態の誘電体 B と誘電体 A との誘電率の差より大きくなる。したがって、本例の NRD ガイドは、誘電体材料の選択の自由度が大きいという特徴を有する。

(第 4 の実施形態)

第 1 ～ 3 の実施形態では、伝送線路を形成する誘電体膜の厚みが誘電体膜の成膜工程で決定される。本例は、成膜工程で所望の精度の誘電体膜の厚みが得られない場合などに用いて好適なものである。

図 1 7 に示すように、必要に応じて MEMS 回路が作り込まれた基板 1 0 上に、誘電体 A 膜 3 0 を形成する。

次いで、図 1 8 に示すように、誘電体 A 膜 3 0 をエッチングして伝送線路のための溝を形成する。この溝の深さは誘電体 A 膜 3 0 を貫通することのない深さである。そして、図 1 9 に示すように、誘電体 A より誘電率が大きな誘電体 B 膜 4 0 をこの溝に埋め込んで平

平坦化する。

図 20 に示すように、誘電体 A 膜 30 と誘電体 B 膜 40 の上に、さらに誘電体 A からなる膜 30' を形成する。

次いで、図 21 では、伝送線路となる誘電体 B の幅を正確に決めるために、セルフアライメントのエッチングを行う。なお、ここで、誘電体 A 膜 30' が形成されれば、誘電体 A 膜 30 と一体となるから、誘電体 A 膜 30 及び 30' を一体として誘電体 A 膜 30 として記載している。

まず、誘電体 A 膜 30 の上にレジスト膜 R を形成し、誘電体 40 を元の長さ L よりも短くするように、すなわち両端を切り落とすように誘電体 2 の幅を決める。リソグラフィによれば、その幅を正確に決めることができるので、伝送線路となる誘電体 B の幅を正確に決めることができる。その後、エッチングを行って、レジスト膜 R と誘電体 A 膜 30 及び誘電体 B 膜 40 をともに除去して、図 21 に示すような溝を作る。

図 22 が示すステップでは、その溝に金属等の導体 50 を埋め込んで平坦化し、図 23 では、パッシベーション膜 60 を成膜する。

このようにすれば、金属導体 50 間に配置され正確な寸法をもつ誘電体伝送路 40 からなる NRD ガイドが製造される。

本例は、導体間の誘電体の厚みを精度よく製造でき、所望の特性をもつ NRD ガイドを製造することができる。

請 求 の 範 囲

1. 基板上に第1の導体膜を形成するステップと、
前記導体膜上に第1の誘電体膜を形成するステップと、
第1の誘電体膜を貫通する伝送線路のための溝を形成するステップと、

前記第1の誘電体膜の溝に第1の誘電体膜の誘電率より大きな誘電率を有する第2の誘電体を埋め込むステップと、

前記第1の誘電体膜及び前記第2の誘電体膜上に第2の導体膜を形成するステップと

を備えることを特徴とする非放射型誘電体線路の製造方法。

2. 前記基板には、MEMS回路が組み込まれていることを特徴とする請求項1に記載の非放射型誘電体線路の製造方法。

3. 基板上に第1の導体膜を形成するステップと、
前記導体膜上に第1の誘電体膜の誘電率より大きな誘電率を有する第2の誘電体膜を形成するステップと、

前記第2の誘電体膜が伝送線路となるようにエッチングするステップと、

前記第2の誘電体膜をエッチングした部分に前記第1の誘電体を埋め込むステップと、

前記第1の誘電体膜及び前記第2の誘電体膜上に第2の導体膜を形成するステップと

を備えることを特徴とする非放射型誘電体線路の製造方法。

4. 前記基板には、MEMS回路が組み込まれていることを特徴とする請求項3に記載の非放射型誘電体線路の製造方法。

5. 基板上に導体膜を形成するステップと、
前記導体膜上に第1の犠牲層を形成するステップと、

前記第 1 の犠牲層を貫通する伝送線路のための溝を形成するステップと、

前記第 1 の犠牲層の溝に誘電体を埋め込むステップと、

前記誘電体が埋め込まれた前記第 1 の犠牲層の上に第 2 の犠牲層を形成し、該第 2 の犠牲層を複数の個所を残してエッチングするステップと、

前記第 2 の犠牲層のエッチング部分に導体膜を形成するステップと、

前記第 1 及び第 2 の犠牲層をエッチングして犠牲層を除去するステップと、

を備えることを特徴とする非放射性誘電体線路の製造方法。

6. 前記基板には、MEMS 回路が組み込まれていることを特徴とする請求項 5 に記載の非放射性誘電体線路の製造方法。

7. 基板上に第 1 の誘電体膜を形成するステップと、

前記第 1 の誘電体膜を貫通しない深さの伝送線路のための溝を形成するステップと、

前記第 1 の誘電体膜の溝に前記第 1 の誘電体膜の誘電率より大きな誘電率を有する第 2 の誘電体を埋め込むステップと、

前記第 1 の誘電体膜及び前記第 2 の誘電体膜上に第 1 の誘電体膜を形成するステップと、

前記第 2 の誘電体の幅よりも短い間隔をあけて設けられ、基板に達する 2 つの溝を、前記第 2 の誘電体の両端を切り落とすように形成するステップと、

前記 2 つの溝に導体を埋め込むステップと、

を備えることを特徴とする非放射性誘電体線路の製造方法。

8. 前記基板には、MEMS 回路が組み込まれていることを特徴とする請求項 7 に記載の非放射性誘電体線路の製造方法。

9. 基板上に形成された第1の導体膜と、第1の導体膜上に形成された第1の誘電体膜及び該第1の誘電体膜に囲まれた第1の誘電体の誘電率より大きな誘電率を有する第2の誘電体膜と、第1及び第2の誘電体膜上に形成された第2の導体膜とを備えることを特徴とする非放射性感電体線路。

10. 前記基板には、MEMS回路が組み込まれていることを特徴とする請求項9に記載の非放射性感電体線路。

11. 基板上に垂直に形成された一対の導体と、前記導体間に形成された基板に平行な一対の第1の誘電体膜と、前記第1の誘電体膜に挟まれた第1の誘電体の誘電率より大きな誘電率を有する第2の誘電体膜とを備えることを特徴とする非放射性感電体線路。

12. 前記基板には、MEMS回路が組み込まれていることを特徴とする請求項11に記載の非放射性感電体線路。

FIG.1

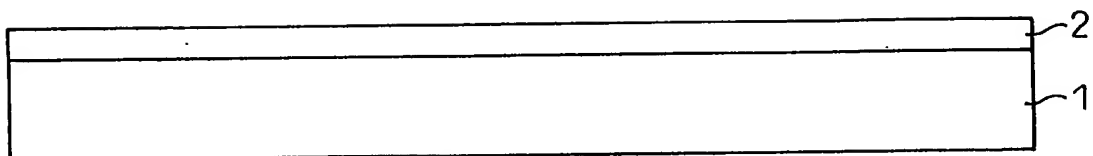


FIG.2

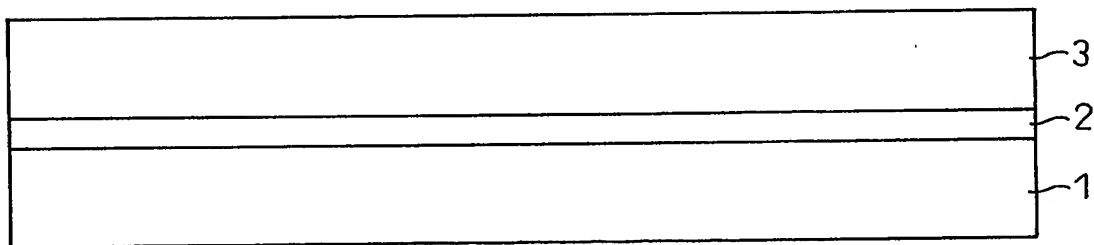


FIG.3

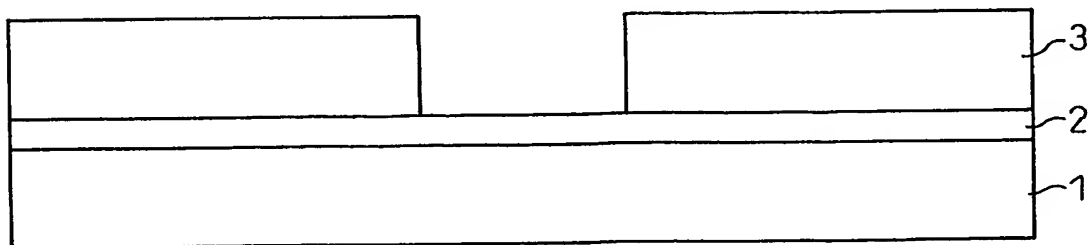


FIG.4

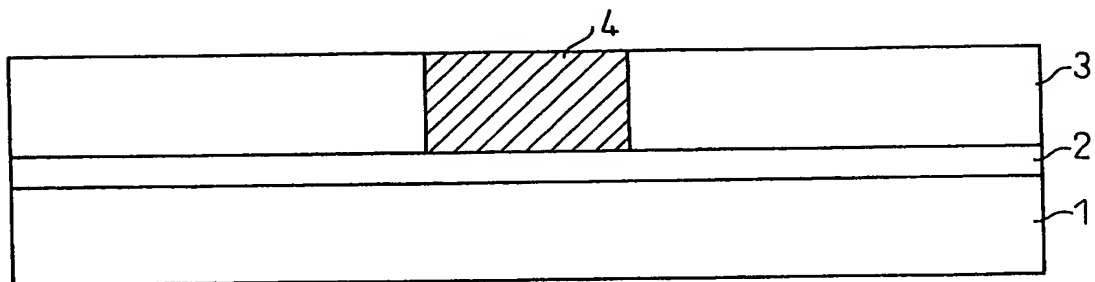


FIG.5

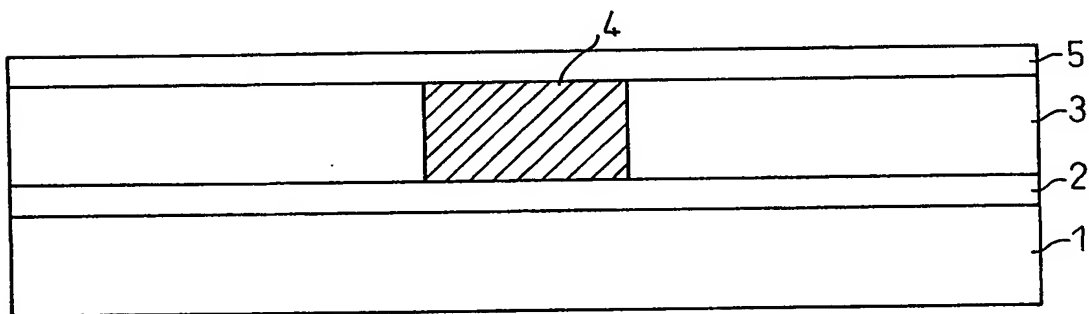


FIG.6

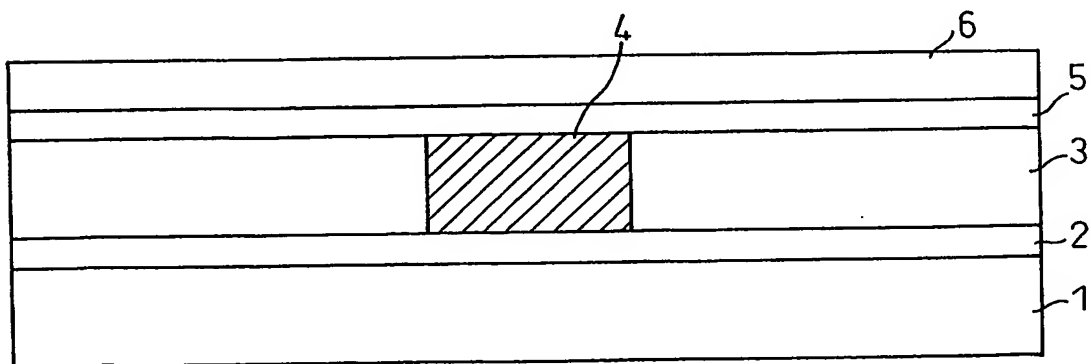


FIG.7

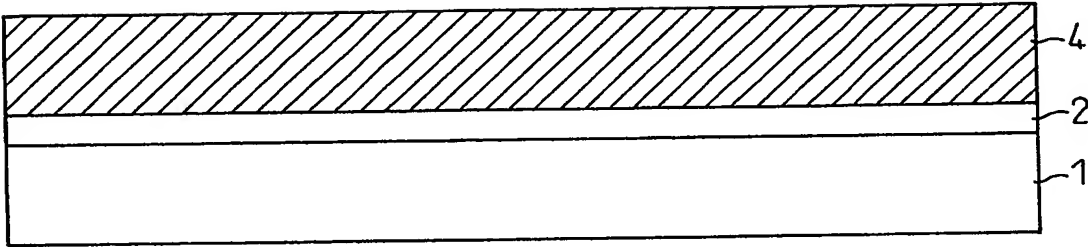


FIG.8

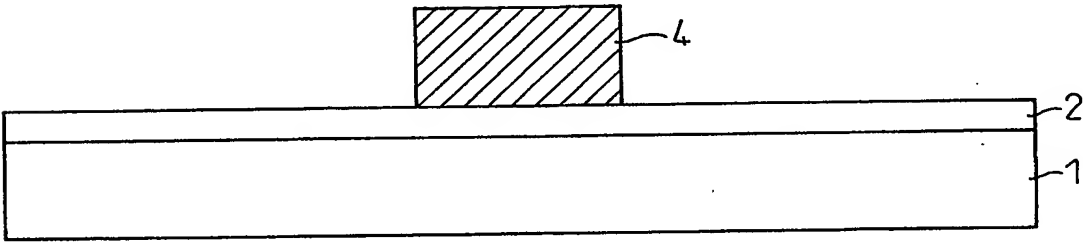


FIG.9

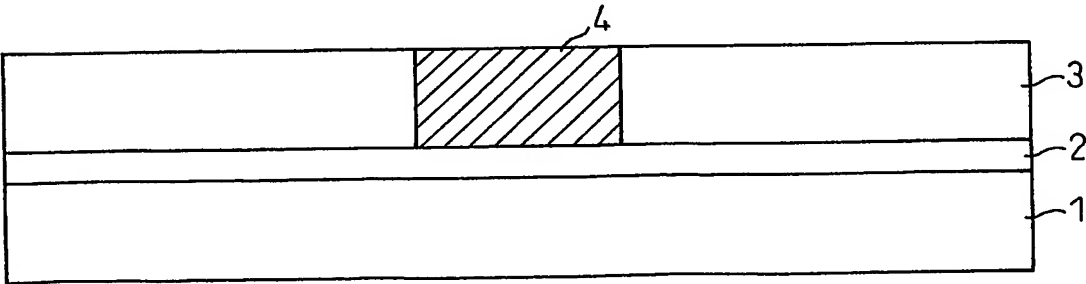


FIG.10

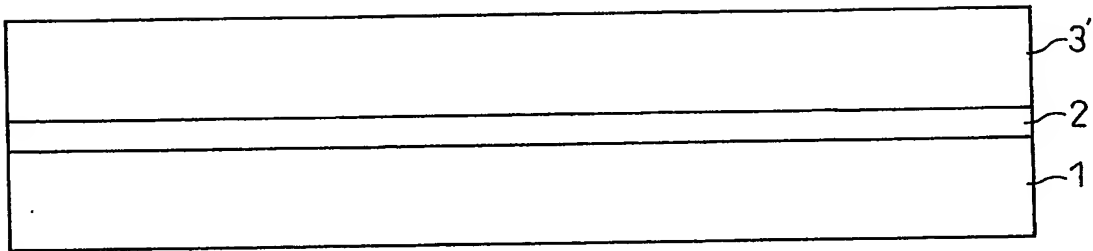


FIG.11

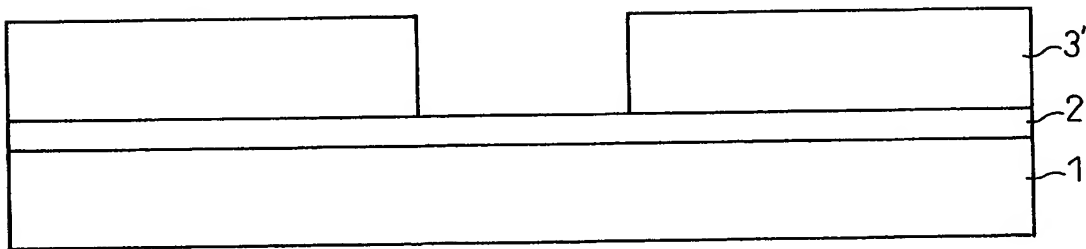


FIG.12

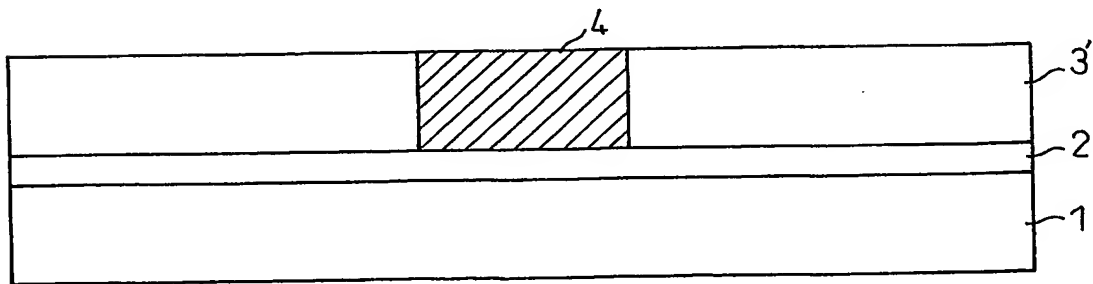


FIG.13

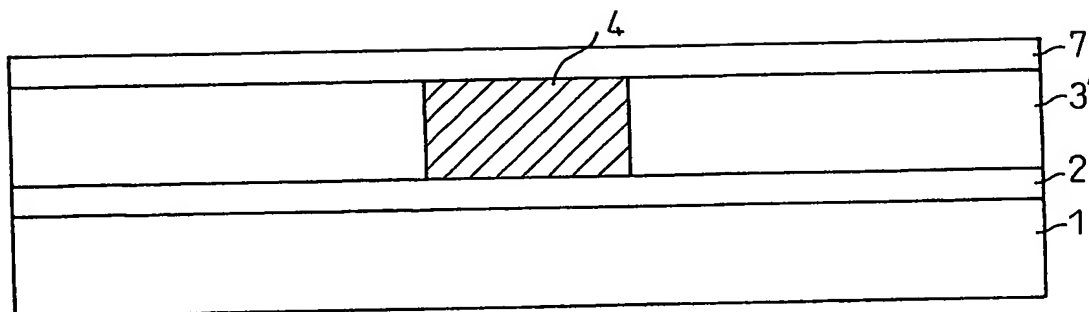


FIG.14

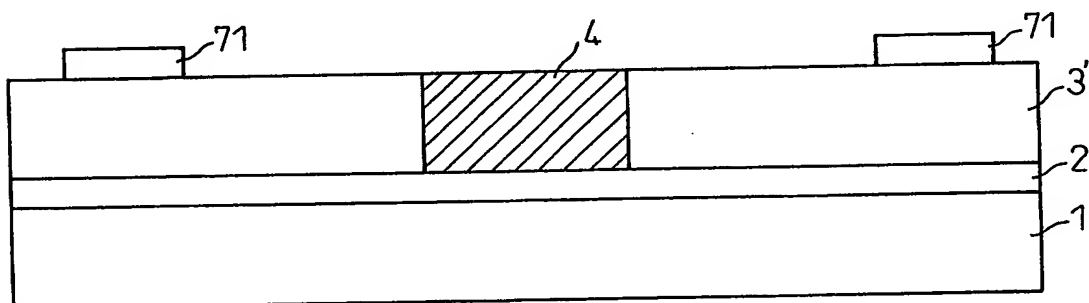


FIG.15

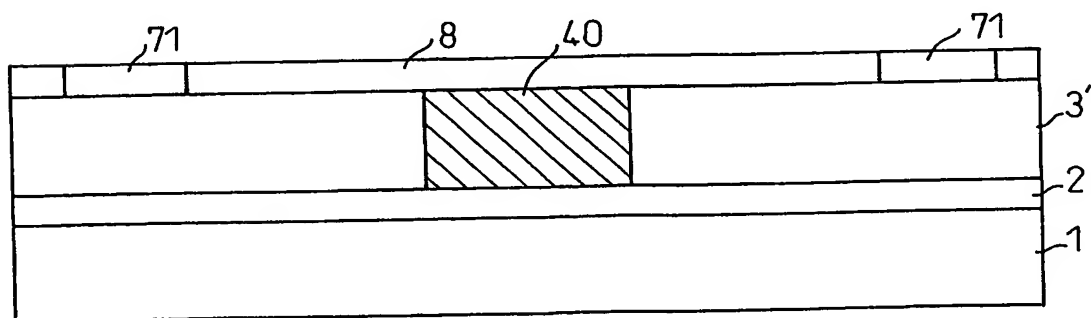


FIG.16

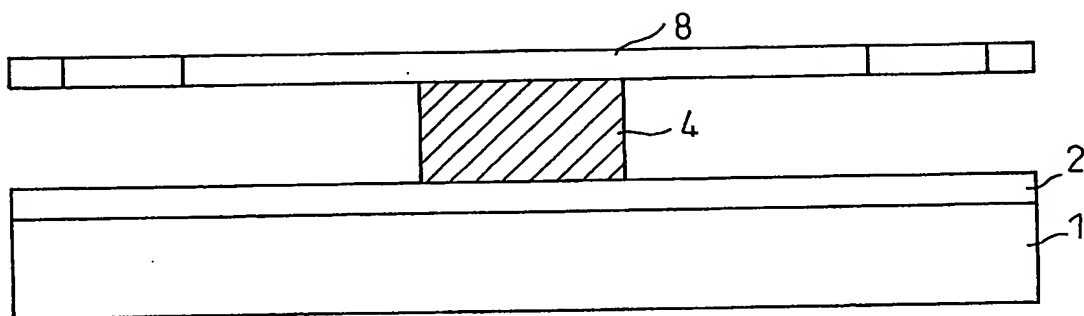


FIG.17

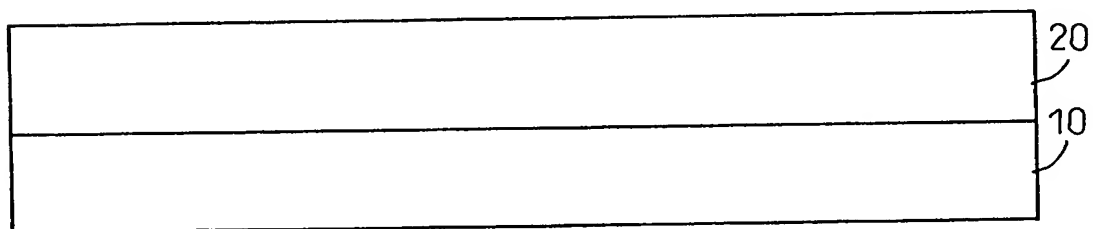


FIG.18

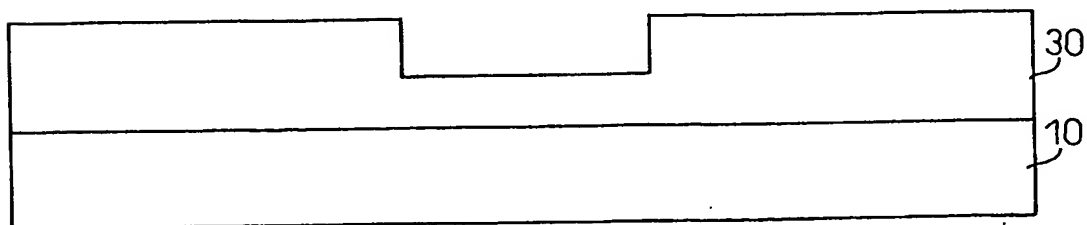


FIG.19

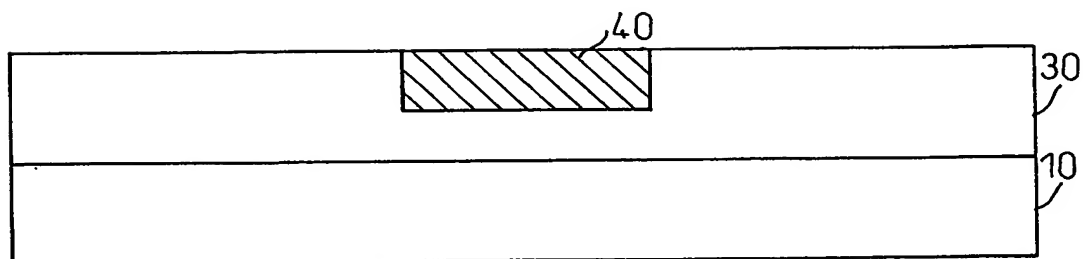


FIG.20

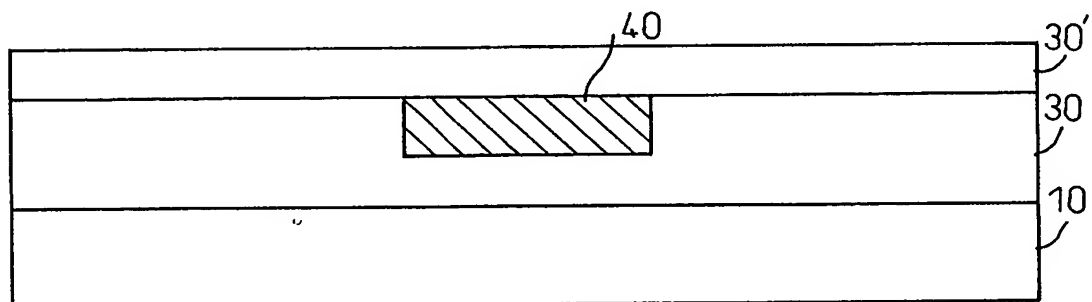


FIG.21

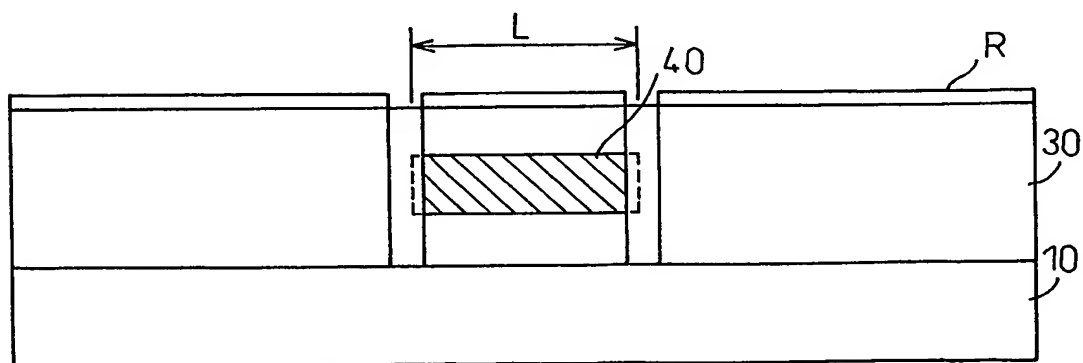


FIG.22

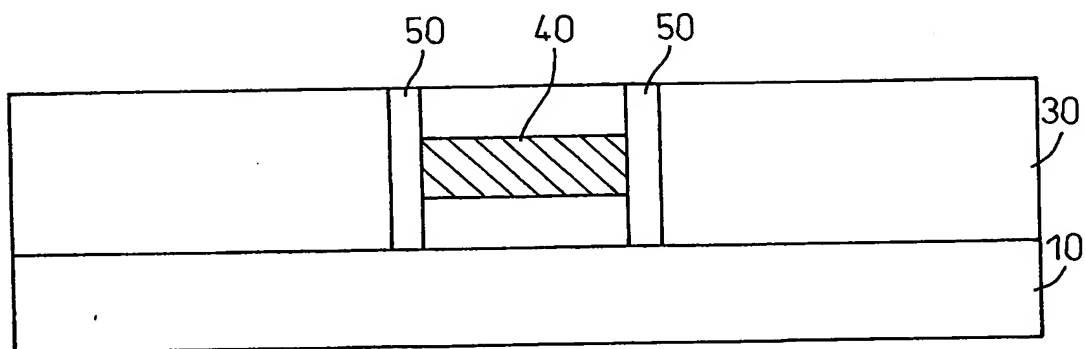


FIG.23

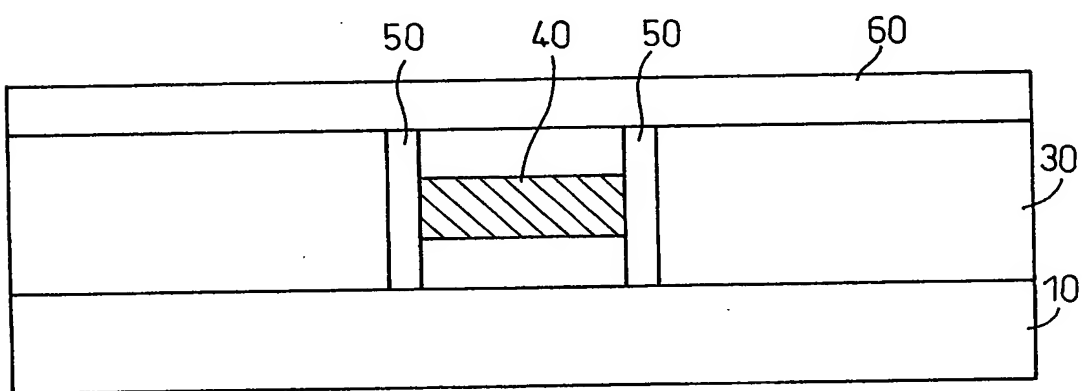
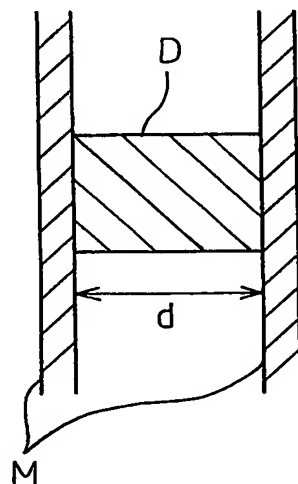


FIG.24



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10316

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01P3/16, H01P11/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01P3/16, H01P11/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 11-27010 A (Kyocera Corp.), 29 January, 1999 (29.01.99), Full text; all drawings Full text; all drawings (Family: none)	1, 9 2, 10
X Y	JP 57-166701 A (Shigeho NISHIDA, Hitachi Cable, Ltd.), 14 October, 1982 (14.10.82), Full text; all drawings Full text; all drawings (Family: none)	9 10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* "A" "E" "L" "O" "P"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance earlier document but published on or after the international filing date document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) document referring to an oral disclosure, use, exhibition or other means document published prior to the international filing date but later than the priority date claimed	"T" "X" "Y" "&"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art document member of the same patent family
--------------------------------------	---	--------------------------	--

Date of the actual completion of the international search
09 October, 2003 (09.10.03)

Date of mailing of the international search report
21 October, 2003 (21.10.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/10316

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 10-303609 A (Kyocera Corp.), 13 November, 1998 (13.11.98), Full text; all drawings	11
Y	Full text; all drawings (Family: none)	12
Y	JP 11-144596 A (TRW Inc.), 28 May, 1999 (28.05.99), Full text; all drawings & EP 892419 A2	2, 10, 12
A	JP 58-215804 A (Seki Shoji Kabushiki Kaisha, Tsutomu YONEYAMA), 15 December, 1983 (15.12.83), Full text; all drawings & FR 2528633 A & US 4463330 A1	1-12
A	GB 1301553 A (PLESSEY CO., LTD.), 29 December, 1972 (29.12.72), Full text; all drawings (Family: none)	1-12

国際調査報告

国際出願番号 PCT/JPO3/10316

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl⁷ H01P3/16, H01P11/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int.Cl⁷ H01P3/16, H01P11/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国登録実用新案公報 1994-2003年
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 11-27010 A (京セラ株式会社) 1999. 01. 29 全文, 全図 全文, 全図 (ファミリーなし)	1, 9 2, 10
X Y	JP 57-166701 A (西田茂穂, 日立電線株式会社) 1982. 10. 14 全文, 全図 全文, 全図	9 10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

09. 10. 03

国際調査報告の発送日

21.10.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

新川 圭二



5 T

8623

電話番号 03-3581-1101 内線 6711

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	(ファミリーなし)	
X	JP 10-303609 A (京セラ株式会社) 1998. 1	11
Y	1. 13 全文, 全図	12
	(ファミリーなし)	
Y	JP 11-144596 A (ティアールダブリュー インコー ポレイテッド) 1999. 05. 28 全文, 全図 & EP 892419 A2	2, 10, 12
A	JP 58-215804 A (関商事株式会社, 米山務) 198 3. 12. 15 全文, 全図 & FR 2528633 A & US 4463330 A 1	1-12
A	GB 1301553 A (PLESSEY COMPANY LIMITED) 1972. 12. 29 全文, 全図 (ファミリー なし)	1-12